



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

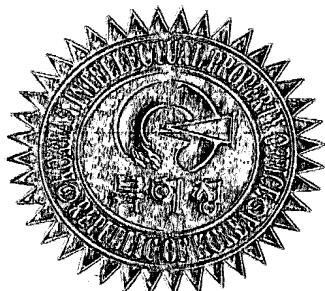
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0010704
Application Number

출 원 년 월 일 : 2003년 02월 20일
Date of Application FEB 20, 2003

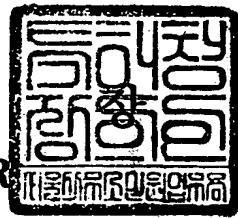
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2003 년 05 월 29 일



특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.20
【발명의 명칭】	듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선 방법
【발명의 영문명칭】	Method for improving poly depletion in dual gate CMOS fabrication process
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	이창렬
【성명의 영문표기】	LEE, Chang Yeol
【주민등록번호】	670220-1066930
【우편번호】	134-780
【주소】	서울특별시 강동구 명일동 270번지 삼익가든아파트 11동 -1102호
【국적】	KR
【발명자】	
【성명의 국문표기】	최득성
【성명의 영문표기】	CHOI, Deuk Sung
【주민등록번호】	620316-1055520
【우편번호】	463-777
【주소】	경기도 성남시 분당구 서현동 현대아파트 104동 1404호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	10	면	10,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	10	항	429,000	원
【합계】			468,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 듀얼 게이트 씨모스(dual gate CMOS) 제조 공정에서의 폴리 디플리션(poly depletion) 개선방법을 개시한다. 개시된 본 발명의 방법은 게이트 폴리실리콘막에서의 도핑 효율을 높이며, 이를 통해, 폴리 디플리션을 개선시킨다. 상기 도핑 효율을 높이기 위한 방법으로서 본 발명은 다음의 네 가지 방법을 적용한다. 첫째, N형 불순물의 이온주입시 도우즈(dose)를 증가시킨다. 둘째, 폴리실리콘막의 두께를 종래 보다 낮춘다. 셋째, STI 산화막과 실리콘 기판 표면간의 높이 차이가 0 이하가 되도록 만든다. 넷째, 폴리실리콘막과 N+ 이온주입을 여러번 반복해서 수행한다. 이와 같이 하면, 게이트 폴리실리콘막에의 도핑 효율을 높일 수 있으므로, 폴리 디플리션을 개선시킬 수 있고, 그래서, 소자 특성 및 제조수율을 향상시킬 수 있다.

【대표도】

도 3d

【명세서】**【발명의 명칭】**

듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법{Method for improving poly depletion in dual gate CMOS fabrication process}

【도면의 간단한 설명】

도 1a 및 도 1b는 게이트의 선쪽에 따른 폴리 디플리션을 설명하기 위한 도면.

도 2a 및 도 2b는 채널 쪽에 따른 폴리 디플리션을 설명하기 위한 도면.

도 3a 내지 도 3d는 본 발명의 제1실시예에 따른 폴리 디플리션 개선방법을 설명하기 위한 공정별 단면도.

도 4는 불순물 이온주입시 도우즈에 따른 도핑 효율을 설명하기 위한 실험 결과 그래프.

도 5는 N형 불순물 이온주입시 도우즈에 따른 웨이퍼 내에서의 억세스 및 구동 트랜지스터의 문턱전압 분포를 설명하기 위한 실험 결과 그래프.

도 6a 및 도 6b는 본 발명의 제3실시예에 따른 폴리 디플리션 개선방법을 설명하기 위한 공정별 단면도.

도 7a 내지 도 7e는 본 발명의 제4실시예에 따른 폴리 디플리션 개선방법을 설명하기 위한 공정별 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

31,61,71 : 실리콘 기판

32,62,72 : STI 산화막

33,63,73 : 액티브 영역

34,64,74a,74b : 폴리실리콘막

35,75,77 : N+ 이온주입 마스크

76,78 : N+ 이온주입 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는, 듀얼 게이트 씨모스(dual gate CMOS) 제조 공정에서의 폴리 디플리션(poly depletion)을 개선하기 위한 방법에 관한 것이다.

<13> 주지된 바와 같이, 모스펫(MOSFET)의 게이트는 폴리실리콘으로 형성되어져 왔다. 이것은 폴리실리콘이 고용점, 박막 형성의 용이성, 라인 패턴의 용이성, 산화 분위기에 대한 안정성 및 평탄한 표면 형성 등과 같은 게이트로서 요구되는 물성을 충분히 만족시키기 때문이다. 또한, 실제 모스펫에 있어서 폴리실리콘 게이트는 인(P), 비소(As) 및 봉소(B) 등의 도편트(dopant)를 함유함으로써 낮은 저항값을 구현하고 있다.

<14> 한편, 씨모스(CMOS)는 NMOS와 PMOS 영역 모두에서 N+ 폴리실리콘 게이트를 형성하여 왔다. 그런데, 반도체 소자의 고집적화에 따라 PMOS 영역에서 카운트 도핑(count doping)에 의한 매몰 채널(buried channel)이 형성됨으로써 소자 특성 저하를 유발하는 단채널효과(Short Channel Effect)가 증대되는 문제점이 발생하게 되었다.

<15> 이에, 최근에는 NMOS 영역에는 N+ 폴리실리콘 게이트를, 그리고, PMOS 영역에는 P+ 폴리실리콘 게이트를 형성하는 듀얼 게이트 씨모스(dual gate CMOS) 제조 공정이 수행되고 있다.

<16> 자세하게, 상기 듀얼 게이트 씨모스 제조 공정은 N+ 폴리실리콘을 NMOS의 게이트 물질로 사용하고, P+ 폴리실리콘을 PMOS의 게이트 물질로 사용하는 반도체 제조 공정을 의미하며, 통상은 게이트 물질로서 비도핑된 비정질실리콘(undoped a-Si) 또는 도핑된 폴리실리콘(doping poly-Si)을 증착한 후, NMOS 게이트 영역 및 PMOS 게이트 영역 각각에 선택적으로 N+ 이온주입 및 P+ 이온주입을 행하고, 그리고나서, 전체 게이트 영역에서 도편트(dopant)의 확산이 충분히 이루어지도록 열 확산(thermal diffusion) 공정을 수행하는 순으로 진행된다.

【발명이 이루고자 하는 기술적 과제】

<17> 그러나, 종래의 듀얼 게이트 씨모스 제조 공정에 따르면, 이온주입시의 도우즈(dose) 또는 에너지(energy) 부족, 그리고, 열 확산 공정의 부족 등에 의해서 폴리 디플리션(poly depletion)이 발생할 수 있다.

<18> 상기 폴리 디플리션이란 폴리실리콘막 내의 불충분한 도핑에 의해 발생되는 현상으로서, 채널을 인버전(inversion)시키기 위해서 게이트에 인가되는 전압 중의 일부가 폴리실리콘 바닥의 디플리션 영역에 인가되는 것으로 인해 문턱전압(Vt)이 증가되고, 그리고, 전기적으로 게이트 절연막의 두께가 증가하게 되어 온 전류(on current)가 감소되는 결과를 초래한다.

<19> 또한, 폴리실리콘 바닥의 디플리션 정도는 폴리실리콘의 두께 등에 매우 민감하게 영향을 받으므로, 웨이퍼 전반에 걸쳐 문턱전압(Vt)의 변화폭이 증가하여 문턱전압(Vt)의 목표값 관리가 어려워지게 되는 바, 수율 저하가 발생할 수 있다.

<20> 여기서, 상기 폴리 디플리션의 정도를 표시하는 지수로서 도핑 효율(doping efficiency)이 있다. 이것은 인버전시의 게이트 캐패시턴스를 축적(accumulation)시의 게이트 캐패시턴스 값으로 나눈 비로 표시되며, 통상 이 비율은 95% 정도를 유지해야 한다. 따라서, 적정 도핑 효율을 유지시키기 위한 적절한 이온주입 조건 및 써멀 버짓(thermal budget)이 확보되어야 한다.

<21> 상기 폴리 디플리션은 게이트 선폭의 축소에 의해 더욱 증가될 수 있다. 일반적으로 $0.2\mu\text{m}$ 이하의 게이트 길이 또는 폭을 갖는 초미세 기술에서는 게이트 수직 전계에 의한 1차원적 디플리션 이외에 짧은 길이 및 좁은 폭에 기인한 추가적인 디플리션이 추가되어 폴리 디플리션은 3차원적 양상으로 확대된다. 상기 게이트 길이 및 폭의 축소에 의해서 발생하는 3차원적 디플리션의 양상은 다음과 같은 두 가지 메카니즘에 기인한다.

<22> 첫째, 게이트의 길이 방향 가장자리에서는 프린징(fringing) 전계에 의한 추가적인 디플리션 현상이 발생한다. 이때, 게이트 길이가 긴 경우 프린징 전계에 의한 가장자리 디플리션은 무시될 수 있지만, 게이트 길이가 짧아지면 프린징 전계에 의한 가장자리 디플리션이 증가되므로 전체 채널에서의 평균적인 디플리션의 정도는 증가하게 된다. 그러므로, 도핑 효율은 게이트 길이가 짧아질 수록 감소한다. (C.-H. Choi, et. al., IEEE Electron Device Letters, Vol 23, No. 4, p.224, 2002)

<23> 도 1a 및 도 1b는 게이트 선폭에 따른 폴리 디플리션을 설명하기 위한 도면들로서, 여기서, 도면부호 11은 실리콘 기판, 12는 게이트 절연막, 13a 및 13b는 상이한 선폭의 폴리 게이트, 14는 디플리션 영역, 그리고, 15는 프린징 필드에 의해 추가되는 가장자리 디플리션 영역을 나타낸다.

<24> 도시된 바와 같이, 프린징 필드에 의한 가장자리 디플리션은 게이트 선폭이 감소될 수록 증가됨을 볼 수 있으며, 아울러, 도핑 효율 또한 게이트 선폭이 감소될 수록 낮아짐을 볼 수 있다.

<25> 둘째, 채널 폭의 감소는 소위 STI(Shallow Trench Isolation)의 적용에 따른 소위 TRISI-NWE(Trench Isolation Step-Induced-Narrow Width Effect)로 인해 디플리션을 심화시킬 수 있다.(Young Kim, et.al., IEEE Electron Device Letters, Vol.23, No.10, p.600, 2002)

<26> 도 2a 및 도 2b는 채널 폭에 따른 폴리 디플리션을 설명하기 위한 도면들로서, 여기서, 도면부호 21은 실리콘 기판, 22는 STI 산화막, 23a 및 23b는 채널, 그리고, 24는 폴리실리콘막을 각각 나타낸다.

<27> 도시된 바와 같이, 실리콘 기판(21)과 STI 산화막(22)간의 높이 차, 즉, EFH(Effective Fox Height)는 일반적으로 양수 값을 가지며, 이에 따라, 폴리실리콘의 컨포멀(conformal) 증착 특성 때문에 STI 산화막(22)과 채널(23a, 23b)의 접경 지역에 증착된 폴리실리콘막(24)의 두께가 그 이외 지역에서 보다 상대적으로 두꺼워지는 현상이 발생한다.(도면에서 빗금친 영역)

<28> 이때, 폴리실리콘막(24)의 두께가 증가할 수록 바닥 부분에서의 폴리 디플리션은 더욱 증가(도면에서 점선 영역 아랫쪽)하게 되는 바, 채널 가장자리에서의 디플리션이 심화된다. 결국, 채널 폭이 감소하면, 가장자리 디플리션의 증가로 인해 전체 채널에서의 평균 디플리션이 증가되므로 도핑 효율은 감소하게 된다.

<29> 상기의 두 가지 사항이 폴리 디플리션에 영향을 미치는 대표적인 메카니즘이며, 이렇게 디플리션이 심해지면 문턱전압(V_t)의 절대값이 증가됨은 물론 전체 웨이퍼 내에서의 변동(variation)도 증가하게 된다. 따라서, 고집적화가 진행될 수록 안정적인 문턱전압(V_t) 관리를 위해서 폴리 디플리션은 보다 더 철저한 개선이 필요하다.

<30> 예컨대, $0.14\mu\text{m}$ 급 이하의 FCMOS SRAM 제품에서 사용되는 셀 트랜지스터들은 3차원적 디플리션 영향이 심각하게 발생할 수 있는 $0.2\mu\text{m}$ 이하의 채널 길이와 폭을 가지게 되는데, 이 트랜지스터들의 안정적인 문턱전압(V_t) 관리는 특히 저전압 동작 수율에 큰 영향을 미친다.

<31> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 도핑 효율을 높일 수 있는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법을 제공함에 그 목적이 있다.

<32> 또한, 본 발명은 도핑 효율을 증가시키는 것을 통해 소자 특성 및 신뢰성을 향상시킬 수 있는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법을 제공함에 그 다른 목적이 있다.

【발명의 구성 및 작용】

<33> 상기와 같은 목적을 달성하기 위하여, 본 발명은, NMOS 형성 영역과 PMOS 형성 영역을 갖는 실리콘 기판의 적소에 STI 산화막을 형성하는 단계와, 상기 STI 산화막을 포함한 실리콘 기판 상에 게이트 절연막과 폴리실리콘막을 차례로 형성하는 단계와, 상기 실리콘 기판의 NMOS 형성 영역과 PMOS 형성 영역에 대응하는 각 폴리실리콘막 부분에 N형 불순물과 P형 불순물을 선택적으로 이온주입하는 단계와, 상기 영역 별로 N형 불순물

및 P형 불순물이 선택적으로 이온주입된 폴리실리콘막과 게이트 절연막을 패터닝하여 실리콘 기판의 NMOS 영역에 N+ 폴리실리콘 게이트를, 그리고, 실리콘 기판의 PMOS 영역에 P+ 폴리실리콘 게이트를 형성하는 단계를 포함하며, 상기 N형 불순물의 이온주입은 인(P)을 $1\sim2\times10^{16}/\text{cm}^2$ 의 도우즈로 이온주입하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법을 제공한다.

<34> 여기서, 상기 STI 산화막은 실리콘 기판 표면 보다 높게 형성된다. 상기 폴리실리콘막은 1900~2100 Å의 두께로 형성하며, 이때, 폴리실리콘막은 STI 산화막과 실리콘 기판의 접경 지역이 그 이외 지역에서 보다 두껍게 형성된다.

<35> 또한, 상기와 같은 목적을 달성하기 위하여, 본 발명은, NMOS 형성 영역과 PMOS 형성 영역을 갖는 실리콘 기판의 적소에 STI 산화막을 형성하는 단계와, 상기 STI 산화막을 포함한 실리콘 기판 상에 게이트 절연막과 폴리실리콘막을 차례로 형성하는 단계와, 상기 실리콘 기판의 NMOS 형성 영역과 PMOS 형성 영역에 대응하는 각 폴리실리콘막 부분에 N형 불순물을 P형 불순물을 선택적으로 이온주입하는 단계와, 상기 영역 별로 N형 불순물 및 P형 불순물이 선택적으로 이온주입된 폴리실리콘막과 게이트 절연막을 패터닝하여 실리콘 기판의 NMOS 영역에 N+ 폴리실리콘 게이트를, 그리고, 실리콘 기판의 PMOS 영역에 P+ 폴리실리콘 게이트를 형성하는 단계를 포함하며, 상기 폴리실리콘막은 1600~1800 Å의 두께로 형성하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법을 제공한다.

<36> 게다가, 상기와 같은 목적을 달성하기 위하여, 본 발명은, NMOS 형성 영역과 PMOS 형성 영역을 갖는 실리콘 기판의 적소에 STI 산화막을 형성하는 단계와, 상기 STI 산화막을 포함한 실리콘 기판 상에 게이트 절연막과 폴리실리콘막을 차례로 형성하는

단계와, 상기 실리콘 기판의 NMOS 형성 영역과 PMOS 형성 영역에 대응하는 각 폴리실리콘막 부분에 N형 불순물과 P형 불순물을 선택적으로 이온주입하는 단계와, 상기 영역 별로 N형 불순물 및 P형 불순물이 선택적으로 이온주입된 폴리실리콘막과 게이트 절연막을 패터닝하여 실리콘 기판의 NMOS 영역에 N+ 폴리실리콘 게이트를, 그리고, 실리콘 기판의 PMOS 영역에 P+ 폴리실리콘 게이트를 형성하는 단계를 포함하며, 상기 STI 산화막은 실리콘 기판 표면과의 높이 차가 0 이하가 되도록 하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법을 제공한다.

<37> 여기서, 상기 STI 산화막은 그 형성시 CMP의 목표치를 증가시켜 형성하거나, 또는, 그 형성 후에 표면이 리세스(recess)되도록 습식 식각한다.

<38> 부가해서, 상기와 같은 목적을 달성하기 위하여, 본 발명은, NMOS 형성 영역과 PMOS 형성 영역을 갖는 실리콘 기판의 적소에 STI 산화막을 형성하는 단계와, 상기 STI 산화막을 포함한 실리콘 기판 상에 게이트 절연막과 폴리실리콘막을 차례로 형성하는 단계와, 상기 실리콘 기판의 NMOS 형성 영역과 PMOS 형성 영역에 대응하는 각 폴리실리콘막 부분에 N형 불순물과 P형 불순물을 선택적으로 이온주입하는 단계와, 상기 영역 별로 N형 불순물 및 P형 불순물이 선택적으로 이온주입된 폴리실리콘막과 게이트 절연막을 패터닝하여 실리콘 기판의 NMOS 영역에 N+ 폴리실리콘 게이트를, 그리고, 실리콘 기판의 PMOS 영역에 P+ 폴리실리콘 게이트를 형성하는 단계를 포함하며, 상기 폴리실리콘막을 형성하는 단계와 불순물을 이온주입하는 단계는 적어도 2회 이상 반복해서 수행하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법을 제공한다.

<39> 여기서, 상기 폴리실리콘막은 전체 두께가 1900~2100Å이 되도록 형성하며, 그 형성 두께는 매회 형성 두께의 합이 최종 두께와 동일하도록 한다.

<40> 본 발명에 따르면, 폴리실리콘막에서의 도핑 효율을 높임으로써 폴리 디플리션을 개선할 수 있으며, 이에 따라, 소자 특성 및 신뢰성을 향상시킬 수 있다.

<41> (실시예)

<42> 이하, 첨부된 도면에 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<43> 폴리 디플리션은, 전술한 바와 같이, 폴리실리콘막 내의 불충분한 도핑에 의해 발생되는 현상이며, 그 정도는 도핑 효율로 나타내어질 수 있다. 따라서, 상기 폴리 디플리션은 도핑 효율의 증감에 따라 감소 또는 증가될 수 있으므로, 본 발명은 상기 도핑 효율을 높혀 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션을 개선한다.

<44> 상기 도핑 효율을 높이기 위한 본 발명의 기술적 원리는 다음의 네 가지로 요약된다. 첫째, N+ 이온주입시 도우즈(dose)를 증가시켜 도핑 효율을 증가시킨다. 둘째, N+ 폴리실리콘의 두께를 감소시켜 전반적인 도핑 효율을 증가시킨다. 셋째, EFH를 0 이하가 되도록 조절하여 채널 폭의 감소에 기인하는 디플리션 증가를 억제한다. 넷째, 폴리실리콘 증착 및 이온주입 공정을 여러 단계로 분리 진행하여 전반적인 도핑 효율을 증가시킨다.

<45> 이하에서는 각 기술적 원리를 적용한 본 발명의 폴리 디플리션 개선방법들이 설명될 것이다.

<46> [제1실시예]

<47> 도 3a 내지 도 3d는 본 발명의 제1실시예에 따른 폴리 디플리션 개선방법을 설명하기 위한 공정별 단면도이다.

<48> 도 3a를 참조하면, NMOS 및 PMOS 형성 영역을 갖는 실리콘 기판(31)을 마련하다. 그런 다음, 상기 실리콘 기판(31)의 필드 영역에 공지의 STI 공정에 따라 STI 산화막(32)을 형성하고, 이를 통해, NMOS 및 PMOS가 형성될 액티브 영역(33)을 한정한다. 이 때, STI 산화막(32)은 그 표면이 실리콘 기판(31)의 액티브 영역(33) 표면 보다 높게 되도록 형성된다.

<49> 도 3b를 참조하면, STI 산화막(32)을 포함한 실리콘 기판(31)의 전면 상에 게이트 절연막(도시안됨)을 형성하고, 연이어, 게이트 절연막 상에 1900~2100Å, 바람직하게 2000Å의 두께로 게이트 폴리실리콘막(34)을 증착한다. 이 때, STI 산화막(32)의 표면과 실리콘 기판(31)의 액티브 영역(33) 표면간에 양의 EFH를 갖는 것으로 인해, 폴리실리콘 막(34)은 상기 STI 산화막(32)과 액티브 영역(33)간 접경 지역(빗금친 영역)에서의 증착 두께가 그 이외 지역 보다 상대적으로 두껍게 된다. 이 경우, 상대적으로 두껍게 증착 된 폴리실리콘막 부분에서 채널 폭 감소에 따른 추가 디플리션이 발생할 수 있다.

<50> 도 3c를 참조하면, 폴리실리콘막(34) 상에 공지의 공정에 따라 N+ 이온주입 마스크(35)를 형성한다. 그런 다음, 상기 N+ 이온주입 마스크(35)로 가려지지 않은 폴리 실리콘막 부분 내에 N형 불순물, 바람직하게 인(Phosphorous)을 이온주입한다. 이 때, 종래의 N+ 이온주입은 인의 도우즈를 대략 $5 \times 10^{15}/\text{cm}^2$ (=5E15)로 하여 진행하지만, 본 발명에서의 N+ 이온주입은 인의 도우즈를 대략 $1 \sim 2 \times 10^{16}/\text{cm}^2$, 바람직하게 $1 \times 10^{16}/\text{cm}^2$ (=1E16)로 하여 진행한다. 이렇게 하면, 도우즈 증가에 의해 전반적인 폴리 디플리션이 억제되며, 따라서, 문턱전압(Vt) 안정화 및 수율 향상을 얻게 된다.

<51> 도 3d를 참조하면, 상기 단계까지의 기판 결과물을 800°C 이상의 온도로 가열하여 이온주입된 불순물이 열 확산되도록 한다. 이 경우, 디플리션 발생 영역은 실제적으로 빛금친 영역중 점선 아랫 부분이 되며, 따라서, 게이트 가장자리에서의 디플리션은 감소 되었음을 알 수 있다.

<52> 도 4는 N형 불순물 이온주입시 도우즈에 따른 도핑 효율을 설명하기 위한 실험 결과 그래프이다. 여기서, 도면부호 A는 N+ 이온주입시의 불순물 도우즈를 5E15로 하여 진행한 경우를, 그리고, 도면부호 B는 N+ 이온주입시의 불순물 도우즈를 1E16으로 하여 진행한 경우이다.

<53> 도시된 바와 같이, 도우즈를 1E16으로 진행한 경우가 도우즈를 5E15로 진행한 경우 보다 도핑 효율이 증가되었음을 볼 수 있다. 즉, 도우즈를 5E15로 하여 진행한 종래의 경우는 게이트의 길이 감소에 의한 추가적인 도핑 효율 감소가 나타난반면, 도우즈를 1E16으로 하여 진행한 본 발명의 경우는 게이트 길이가 짧아짐에도 불구하고 도핑 효율의 감소는 나타나지 않는다.

<54> 도 5는 N형 불순물 이온주입시 도우즈에 따른 웨이퍼 내에서의 억세스 및 구동 트랜지스터의 문턱전압 분포를 설명하기 위한 실험 결과 그래프이다. 여기서, 두 가지 트랜지스터는 모두 게이트 길이는 $0.2\mu\text{m}$ 이하, 그리고, 게이트 폭은 $0.2\mu\text{m}$ 근방까지 축소되어 3차원적 폴리 디플리션이 나타나는 NMOS 트랜지스터이다. 도우즈를 1E16으로 하여 진행한 경우가 도우즈를 5E15로 하여 진행한 경우 보다 전반적인 문턱전압(V_t) 변동이 감소하였고, 특히, 누적 분포 90% 이상에서 나타나는 테일(tail) 분포가 도우즈를 1E16으로 하여 진행한 경우에서 나타나지 않는 것을 볼 수 있다. 이것으로부터 도우즈를

1E16으로 진행하는 경우에는 안정적인 문턱전압(V_t) 관리가 가능하다는 것을 알 수 있다

<55> 또한, 도우즈를 1E16으로 하여 진행한 경우는 도우즈를 5E15로 하여 진행한 경우

보다 비트 폐일(bit fail)의 감소에 기인하여 수율도 개선된다.

<56> [제2실시예]

<57> 본 발명의 제2실시예에 따르면, N+ 폴리실리콘막의 두께는 종래의 그것 보다 감소되며, 이에 따라, N+ 폴리실리콘막에서의 도핑 효율은 증가된다. 자세하게, 게이트 폴리실리콘막은 종래 1900~2100Å, 바람직하게 2000Å의 두께로 증착되는 반면, 본 발명은 게이트 폴리실리콘막을 1600~1800Å 두께로 감소시켜 증착한다.

<58> 이렇게 하면, 후속 N+ 이온주입은 상대적으로 감소된 두께의 폴리실리콘막 내에 수행되는 것이므로, 이 폴리실리콘막에의 도핑 효율은 반대로 증가하게 된다. 따라서, 도핑 효율이 증가되는 바, 폴리 디플리션은 개선될 수 있다.

<59> [제3실시예]

<60> 도 6a 및 도 6b는 본 발명의 제3실시예에 따른 폴리 디플리션 개선방법을 설명하기 위한 공정별 단면도로서, 여기서, 도면부호 61은 실리콘 기판, 62는 STI 산화막, 63은 액티브 영역, 그리고, 64는 폴리실리콘막을 각각 나타낸다.

<61> 본 발명의 제3실시예에 따르면, 폴리 디플리션은 EFH를 조절하는 것에 의해 개선된다. 즉, 본 발명의 제3실시예는 EFH를 0 이하로 조절한다.

<62> 도 6a는 EFH가 0인 경우로서, 폴리실리콘막(64)이 두꺼워지는 부분은 STI 모트(moat) 부분에 한정되므로 채널 가장자리에서의 추가적인 폴리 디플리션은 발생하지 않는다.

<63> 도 6b는 EFH가 0 보다 작은 경우로서, 폴리실리콘막(64)의 컨포멀 증착 특성에 의해 두꺼워지는 부분은 채널 바깥쪽에 존재하므로 이 또한 채널 가장자리에서의 추가적인 폴리 디플리션은 발생하지 않는다.

<64> 상기 EFH를 조절하기 위해, 본 발명의 실시예에서는 STI 산화막(62)의 형성시 갭 필링(gap filling) 이후의 CMP(Chemical Mechanical Polishing)에서 그 목표치를 증가시키거나, 또는, 게이트 절연막의 형성 이전 단계에서 습식 식각을 추가로 행하여 STI 산화막(62)의 표면을 리세스(recess)시킨다. 이때, EFH가 과도하게 낮아질 경우, 소위 INWE에 의한 문턱전압 감소의 부작용이 발생할 수 있으므로, 이에 대한 적정한 목표치 설정이 중요하다.

<65> [제4실시예]

<66> 본 발명의 제4실시예에 따르면, 폴리실리콘막의 증착 및 이온주입은 적어도 2회 이상 나누어 진행되며, 이 결과, 도핑 효율의 증가되는 것을 통해 폴리 디플리션을 개선시킨다.

<67> 도 7a 내지 도 7e는 본 발명의 제4실시예에 따른 폴리 디플리션 개선방법을 설명하기 위한 공정별 단면도이다.

<68> 도 7a를 참조하면, NMOS 및 PMOS 형성 영역을 갖는 실리콘 기판(71)의 필드 영역에 공지의 공정에 따라 액티브 영역(73)을 한정하는 STI 산화막(72)을 형성한다. 그런 다음

, 상기 STI 산화막(72)을 포함한 실리콘 기판(71)의 전면 상에 게이트 절연막(도시안됨)을 형성한 후, 상기 게이트 절연막 상에 제1폴리실리콘막(74a)을 증착한다. 상기 제1폴리실리콘막(74a)은 최종적으로 얻고자 하는 게이트 폴리실리콘막 두께 대비 절반 두께로 증착한다. 예컨데, 최종 게이트 폴리실리콘막의 두께가 1900~2100Å, 바람직하게 2,000Å인 경우, 제1폴리실리콘막(74a)의 증착 두께는 절반에 해당하는 1000Å 정도로 한다. 이 경우, 폴리실리콘막의 증착 두께가 감소됨에 따라 채널 가장자리에서의 두꺼워짐 현상은 완화된다.

<69> 도 7b를 참조하면, 제1폴리실리콘막(74a) 상에 제1 N+ 이온주입 마스크(75)를 형성한다. 그런 다음, 상기 제1 N+ 이온주입 마스크(75)에 의해 가려지지 않은 제1폴리실리콘막 부분 내에 N형 불순물, 예컨데, 인을 이온주입한다. 도면부호 76는 N+ 이온주입 영역을 나타내며, 점선은 인 이온주입 영역의 경계를 나타낸다.

<70> 여기서, 상기 인 이온주입은 감소된 폴리실리콘막의 두께에 대응해서 이온주입 에너지를 줄여야 한다. 이때, 이온주입 에너지를 줄이게 되면, 페짐 편차(ΔR_p : standard deviation of spread)도 감소하게 되므로, 보다 가파른 이온주입 프로파일을 얻을 수 있게 되며, 특히, 후속 열 확산 공정에서 보다 많은 도편트가 폴리실리콘 바닥까지 확산될 수 있어서 전반적인 도핑 효율을 증가시킬 수 있게 된다.

<71> 도 7c를 참조하면, 제1 N+ 이온주입 마스크를 제거한 상태에서, 제1폴리실리콘막(74a) 상에 제2폴리실리콘막(74b)을 증착한다. 상기 제2폴리실리콘막(74b)은 얻고자 하는 최종 폴리실리콘막의 두께 대비 제1폴리실리콘막(74a)의 증착 두께를 뺀 나머지 두께, 예컨데, 1000Å의 두께로 증착한다.

<72> 도 7d를 참조하면, 제2폴리실리콘막(74b) 상에 제2 N+ 이온주입 마스크(77)을 형성 한다. 그런다음, 앞서와 마찬가지로 상기 제2 N+ 이온주입 마스크(77)에 의해 가려지지 않은 제2폴리실리콘막 부분 내에 감소된 두께를 고려한 이온주입 에너지로 인을 이온주입한다. 도면부호 78은 N+ 이온주입 영역을 나타내며, 점선은 인 이온주입 영역의 경계를 나타낸다.

<73> 도 7e를 참조하면, 제2 N+ 이온주입 마스크를 제거한 상태에서, 상기 기판 결과물을 어닐링하여 제1 및 제2폴리실리콘막(74a, 74b) 내에 이온주입된 도펀트들을 열 확산 시킨다. 여기서, 디플리션 발생 영역은 단지 빛금친 영역중 점선 아랫 부분만이 되며, 또한, 제1 및 제2폴리실리콘막(74a, 74b) 내에서의 전반적인 도핑 효율은 증가된다.

【발명의 효과】

<74> 이상에서와 같이, 본 발명은 듀얼 게이트 씨모스 제조 공정시 게이트 폴리실리콘막에서의 도핑 효율을 증가시킴으로써 폴리 디플리션을 개선할 수 있다. 따라서, 본 발명은 폴리 디플리션을 개선할 수 있으므로 소자 특성 및 신뢰성은 물론 제조수율 또한 향상시킬 수 있다.

<75> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

NMOS 형성 영역과 PMOS 형성 영역을 갖는 실리콘 기판의 적소에 STI 산화막을 형성하는 단계와,

상기 STI 산화막을 포함한 실리콘 기판 상에 게이트 절연막과 폴리실리콘막을 차례로 형성하는 단계와,

상기 실리콘 기판의 NMOS 형성 영역과 PMOS 형성 영역에 대응하는 각 폴리실리콘막 부분에 N형 불순물을 P형 불순물을 선택적으로 이온주입하는 단계와,

상기 영역 별로 N형 불순물 및 P형 불순물이 선택적으로 이온주입된 폴리실리콘막과 게이트 절연막을 패터닝하여 실리콘 기판의 NMOS 영역에 N+ 폴리실리콘 게이트를, 그리고, 실리콘 기판의 PMOS 영역에 P+ 폴리실리콘 게이트를 형성하는 단계를 포함하며,

상기 N형 불순물의 이온주입은 인(P)을 $1\sim2\times10^{16}/\text{cm}^2$ 의 도우즈로 이온주입하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【청구항 2】

제 1 항에 있어서, 상기 STI 산화막은 실리콘 기판 표면 보다 높게 형성된 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【청구항 3】

제 1 항에 있어서, 상기 폴리실리콘막은 $1900\sim2100\text{\AA}$ 의 두께로 형성하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【청구항 4】

제 1 항에 있어서, 상기 폴리실리콘막은 상기 STI 산화막과 실리콘 기판의 접경 지역이 그 이외 지역에서 보다 상대적으로 두껍게 형성된 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【청구항 5】

NMOS 형성 영역과 PMOS 형성 영역을 갖는 실리콘 기판의 적소에 STI 산화막을 형성하는 단계와,

상기 STI 산화막을 포함한 실리콘 기판 상에 게이트 절연막과 폴리실리콘막을 차례로 형성하는 단계와,

상기 실리콘 기판의 NMOS 형성 영역과 PMOS 형성 영역에 대응하는 각 폴리실리콘막 부분에 N형 불순물과 P형 불순물을 선택적으로 이온주입하는 단계와,

상기 영역 별로 N형 불순물 및 P형 불순물이 선택적으로 이온주입된 폴리실리콘막과 게이트 절연막을 패터닝하여 실리콘 기판의 NMOS 영역에 N+ 폴리실리콘 게이트를, 그리고, 실리콘 기판의 PMOS 영역에 P+ 폴리실리콘 게이트를 형성하는 단계를 포함하며,

상기 폴리실리콘막은 1600~1800Å의 두께로 형성하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【청구항 6】

NMOS 형성 영역과 PMOS 형성 영역을 갖는 실리콘 기판의 적소에 STI 산화막을 형성하는 단계와,

상기 STI 산화막을 포함한 실리콘 기판 상에 게이트 절연막과 폴리실리콘막을 차례로 형성하는 단계와,

상기 실리콘 기판의 NMOS 형성 영역과 PMOS 형성 영역에 대응하는 각 폴리실리콘막 부분에 N형 불순물과 P형 불순물을 선택적으로 이온주입하는 단계와,

상기 영역 별로 N형 불순물 및 P형 불순물이 선택적으로 이온주입된 폴리실리콘막과 게이트 절연막을 패터닝하여 실리콘 기판의 NMOS 영역에 N+ 폴리실리콘 게이트를, 그리고, 실리콘 기판의 PMOS 영역에 P+ 폴리실리콘 게이트를 형성하는 단계를 포함하며,

상기 STI 산화막은 실리콘 기판 표면과의 높이 차가 0 이하가 되도록 하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【청구항 7】

제 6 항에 있어서, 상기 STI 산화막은 그 형성시 산화막 CMP의 목표치를 증가시켜 형성하거나, 또는, 그 형성 후에 표면이 리세스(recess)되도록 습식 식각하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【청구항 8】

NMOS 형성 영역과 PMOS 형성 영역을 갖는 실리콘 기판의 적소에 STI 산화막을 형성하는 단계와,

상기 STI 산화막을 포함한 실리콘 기판 상에 게이트 절연막과 폴리실리콘막을 차례로 형성하는 단계와,

상기 실리콘 기판의 NMOS 형성 영역과 PMOS 형성 영역에 대응하는 각 폴리실리콘막 부분에 N형 불순물과 P형 불순물을 선택적으로 이온주입하는 단계와,

상기 영역 별로 N형 불순물 및 P형 불순물이 선택적으로 이온주입된 폴리실리콘막과 게이트 절연막을 패터닝하여 실리콘 기판의 NMOS 영역에 N+ 폴리실리콘 게이트를, 그리고, 실리콘 기판의 PMOS 영역에 P+ 폴리실리콘 게이트를 형성하는 단계를 포함하며,

상기 폴리실리콘막을 형성하는 단계와 불순물을 이온주입하는 단계는 적어도 2회 이상 반복해서 수행하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리디플리션 개선방법.

【청구항 9】

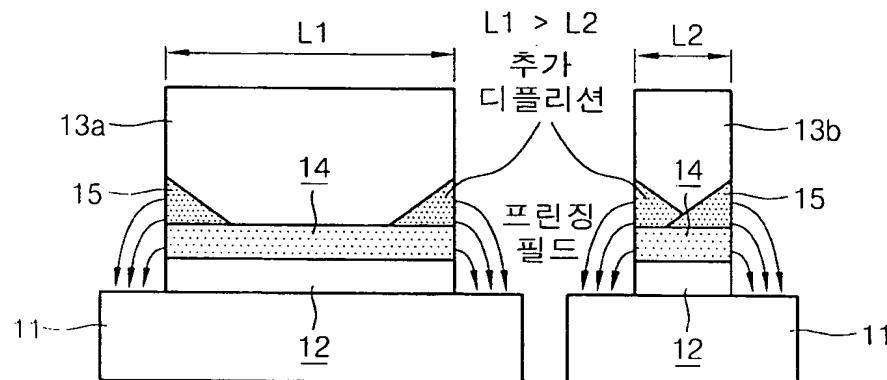
제 8 항에 있어서, 상기 폴리실리콘막은 전체 두께가 1900~2100Å이 되도록 형성하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【청구항 10】

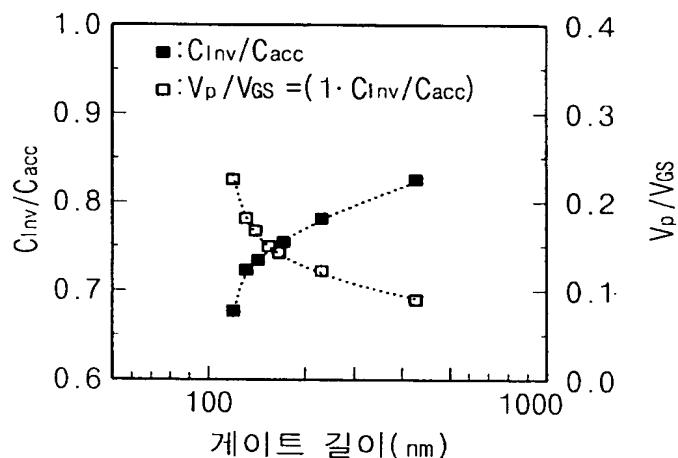
제 9 항에 있어서, 상기 폴리실리콘막의 형성 두께는 매회 형성 두께의 합이 최종 두께와 동일하도록 하는 것을 특징으로 하는 듀얼 게이트 씨모스 제조 공정에서의 폴리 디플리션 개선방법.

【도면】

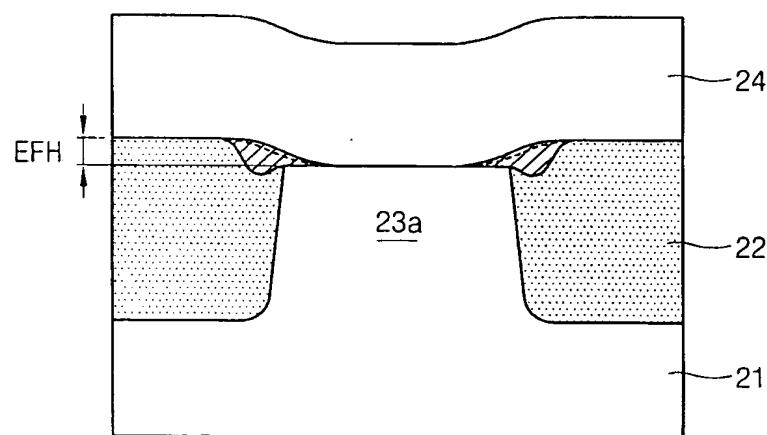
【도 1a】



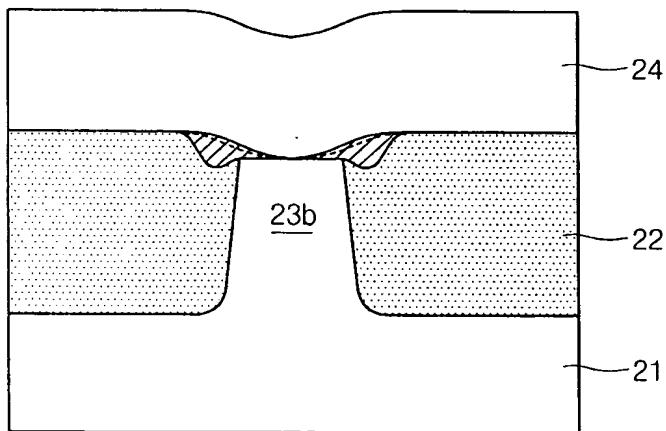
【도 1b】



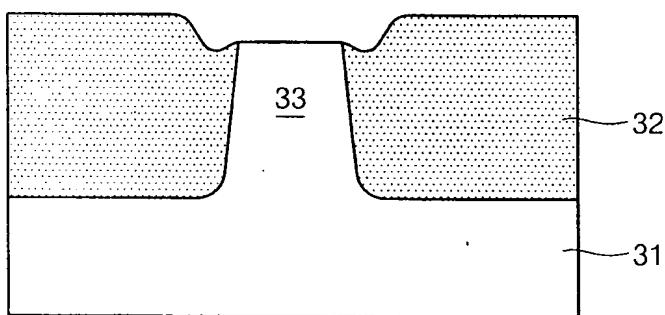
【도 2a】



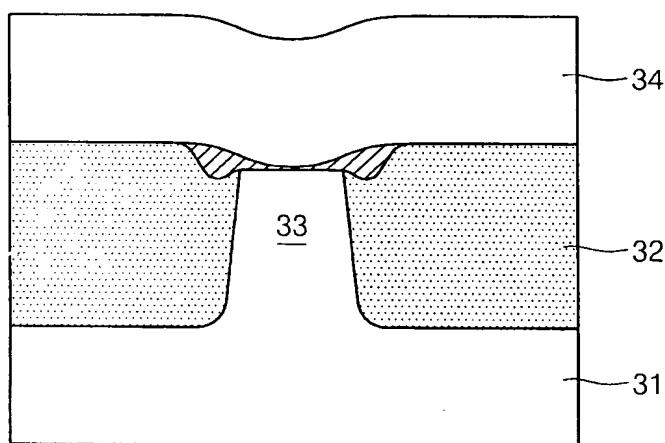
【도 2b】



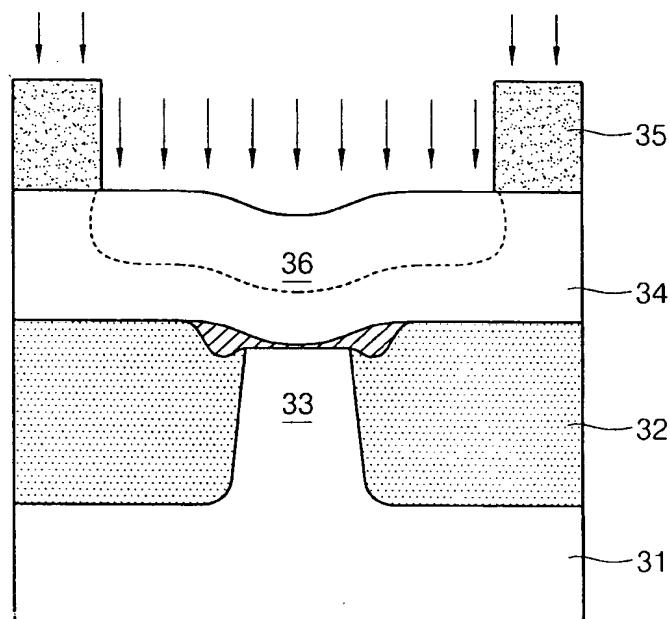
【도 3a】



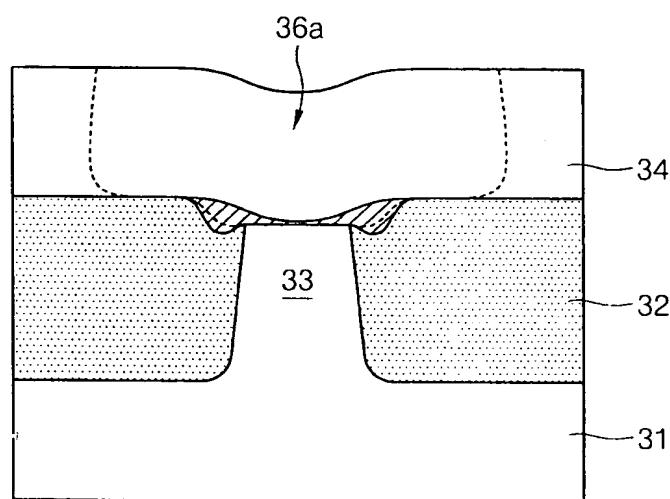
【도 3b】



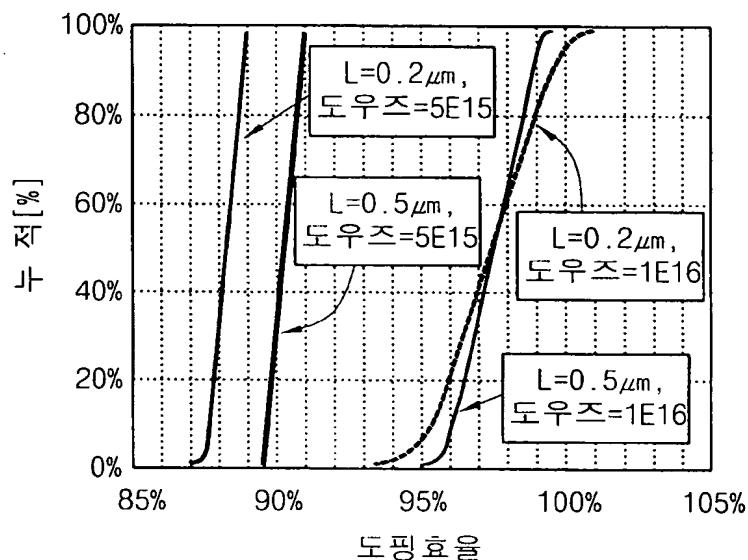
【도 3c】



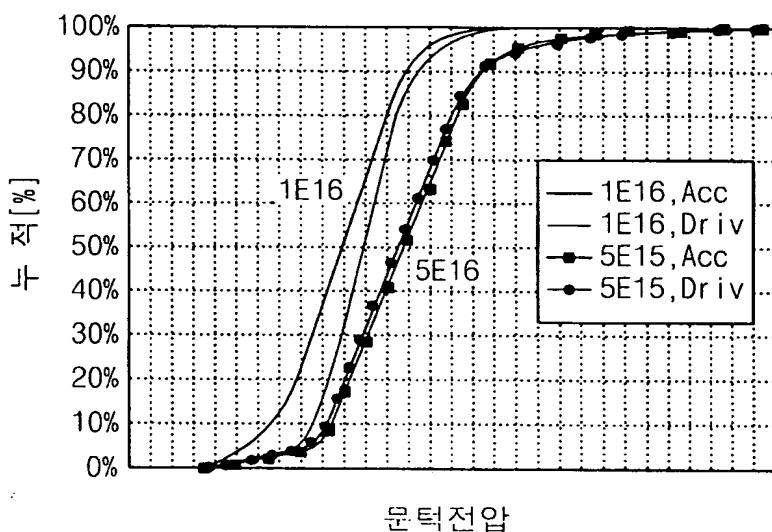
【도 3d】



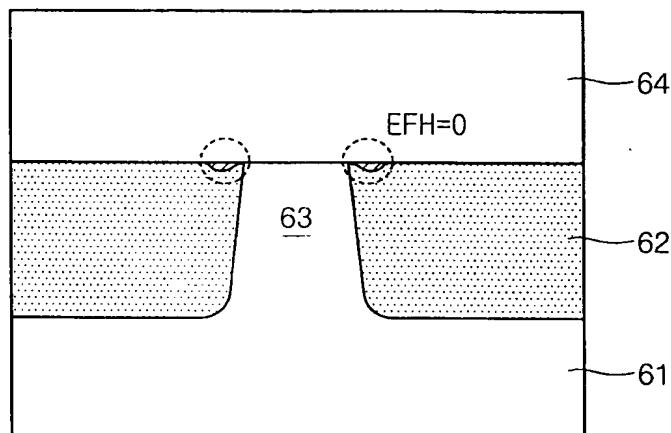
【도 4】



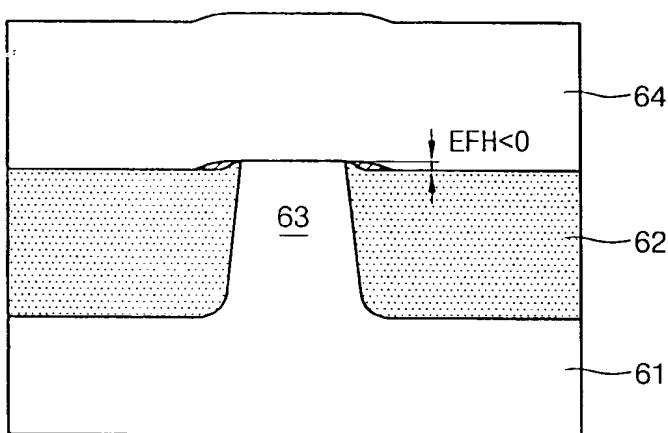
【도 5】



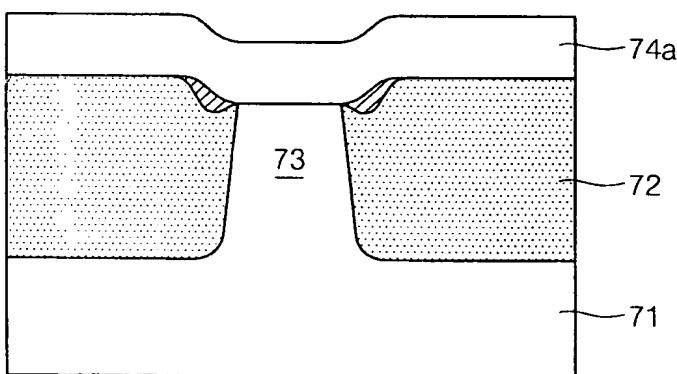
【도 6a】



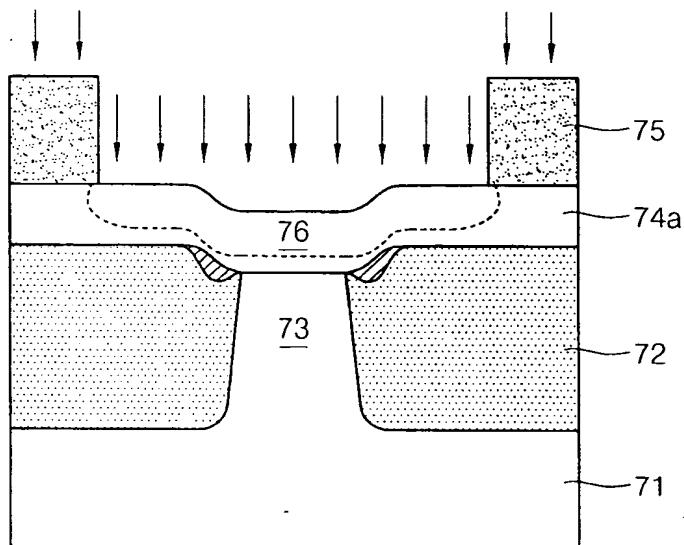
【도 6b】



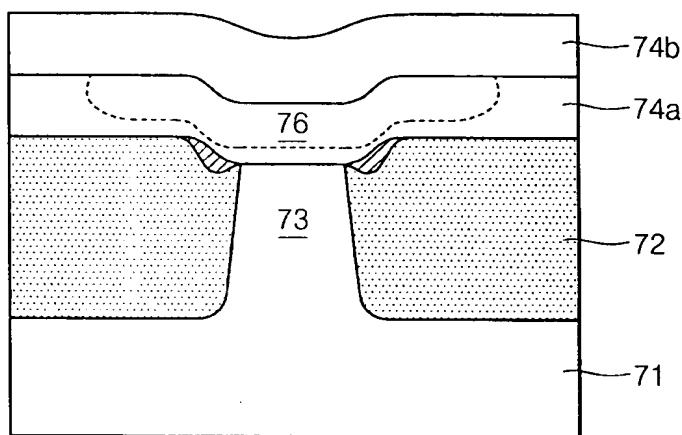
【도 7a】



【도 7b】



【도 7c】

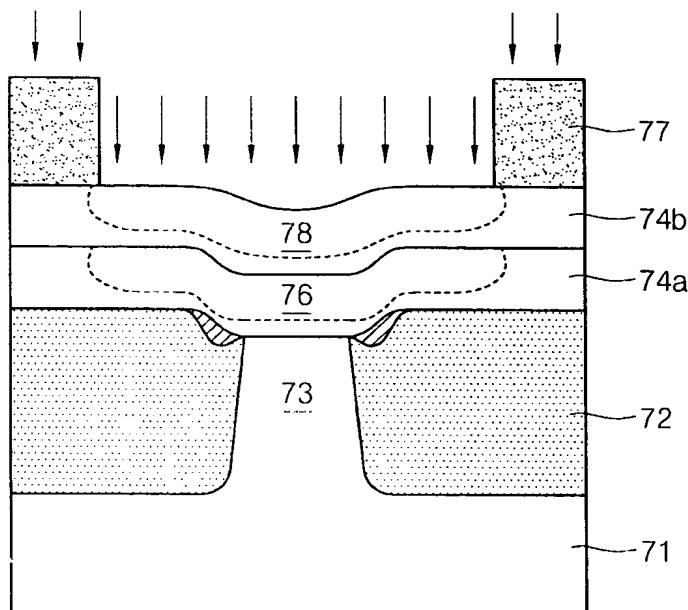




1020030010704

출력 일자: 2003/5/30

【도 7d】



【도 7e】

